



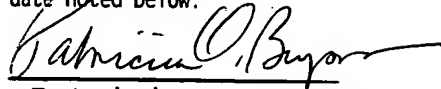
Attorney Docket No.: 03663/LH

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

Applicant : Tomio MATSUZAKI et al  
Serial Number : 10/700,136  
Filed : 3 Nov 2003  
Art Unit : 2811

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as First Class mail in an envelope addressed to:  
Commissioner for Patents,  
P.O. Box 1450,  
Alexandria, VA 22313-1450 on the date noted below.

  
Patricia O. Bryson  
Dated: February 26, 2004

SUBMISSION OF PRIORITY DOCUMENT(S)

Commissioner of Patents  
Washington, D.C. 20231


Sir:

Enclosed are Certified Copy(ies); priority is claimed under 35 USC 119:

<u>Country</u>	<u>Application No.</u>	<u>Filing Date</u>
JAPAN	2002-324973	November 8 2002
JAPAN	2003-147447	May 26 2003
JAPAN	2003-324204	September 17 2003

Respectfully submitted,

Frishauf, Holtz, Goodman  
& Chick, P.C.  
767 Third Avenue - 25th Fl.  
New York, N.Y. 10017-2023  
TEL: (212) 319-4900  
FAX: (212) 319-5101  
LH/pob

  
Leonard Holtz  
Reg.No. 22,974

5/n 10/700,136

Aut unit 2811

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 2 年 1 1 月 8 日

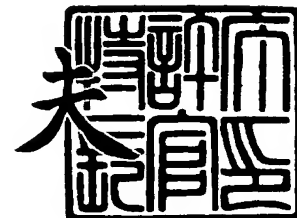
出 願 番 号  
Application Number: 特 願 2 0 0 2 - 3 2 4 9 7 3  
[ST. 10/C]: [ J P 2 0 0 2 - 3 2 4 9 7 3 ]

出 願 人  
Applicant(s): カシオ計算機株式会社

2 0 0 3 年 9 月 2 5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 8 8 8 3

【書類名】 特許願  
【整理番号】 02-0806-00  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/60

## 【発明者】

【住所又は居所】 東京都青梅市今井 3 丁目 1 0 番地 6  
カシオ計算機株式会社青梅事業所内

【氏名】 松崎 富夫

## 【発明者】

【住所又は居所】 東京都青梅市今井 3 丁目 1 0 番地 6  
カシオ計算機株式会社青梅事業所内

【氏名】 新井 一能

## 【特許出願人】

【識別番号】 000001443  
【氏名又は名称】 カシオ計算機株式会社

## 【代理人】

【識別番号】 100073221  
【弁理士】  
【氏名又は名称】 花輪 義男

## 【手数料の表示】

【予納台帳番号】 057277  
【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 0015435

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 上面に接続パッドが設けられた半導体基板上に絶縁膜を介して再配線が前記接続パッドに接続されて設けられた半導体装置において、前記再配線は前記絶縁膜の上面に設けられた凹部内に設けられていることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の発明において、前記再配線の接続パッド部に柱状電極が設けられ、前記再配線を含む前記絶縁膜の上面の前記柱状電極間に封止膜が設けられていることを特徴とする半導体装置。

【請求項 3】 請求項 1 に記載の発明において、前記再配線は前記接続パッド上に設けられた接続パッド部からなり、該接続パッド部に柱状電極が設けられ、前記絶縁膜の上面の前記柱状電極間に封止膜が設けられていることを特徴とする半導体装置。

【請求項 4】 請求項 1 に記載の発明において、前記再配線は前記凹部の底面のみに設けられていることを特徴とする半導体装置。

【請求項 5】 請求項 1 に記載の発明において、前記絶縁膜は有機樹脂からなることを特徴とする半導体装置。

【請求項 6】 請求項 1 に記載の発明において、前記凹部の深さは前記再配線の厚さとほぼ同じかそれよりも深く形成されていることを特徴とする半導体装置。

【請求項 7】 請求項 6 に記載の発明において、前記絶縁膜の厚さは 1 0 ～ 3 0  $\mu$  m 程度であることを特徴とする半導体装置。

【請求項 8】 請求項 7 に記載の発明において、前記凹部の深さは 5 ～ 1 5  $\mu$  m 程度であることを特徴とする半導体装置。

【請求項 9】 請求項 7 に記載の発明において、前記凹部の部分における前記絶縁膜の厚さは 1  $\mu$  m 以上であることを特徴とする半導体装置。

【請求項 1 0】 上面に接続パッドが設けられた半導体基板上に、前記接続パッドに対応する部分に開口部を有し、且つ、上面の再配線形成領域に凹部を有

する絶縁膜を形成する工程と、

前記絶縁膜の凹部内に再配線を前記開口部を介して前記接続パッドに接続させて形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 1 1】 請求項 1 0 に記載の発明において、前記再配線を前記凹部の底面のみに形成することを特徴とする半導体装置。

【請求項 1 2】 請求項 1 0 に記載の発明において、前記凹部の深さを形成すべき再配線の厚さとほぼ同じかそれより深く形成することを特徴とする半導体装置。

【請求項 1 3】 請求項 1 0 に記載の発明において、前記再配線の接続パッド部上に柱状電極を形成する工程と、前記再配線を含む前記絶縁膜の上面の前記柱状電極間に封止膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 1 3 に記載の発明において、前記柱状電極の上面に半田ボールを形成する工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、再配線を有する半導体装置およびその製造方法に関する。

【0 0 0 2】

【従来の技術】

従来の半導体装置には、C S P (chip size package) と呼ばれるもので、上面に接続パッドを有する半導体基板上に絶縁膜を介して銅からなる再配線を前記接続パッドに接続させて設け、前記再配線の接続パッド部上に銅からなる柱状電極を設け、前記再配線を含む前記絶縁膜上に封止膜をその上面が前記柱状電極の上面と面一となるように設けたものがある（例えば、特許文献 1 参照）。

【0 0 0 3】

【特許文献 1】

特開 2 0 0 0 - 2 2 0 5 2 号公報（図 8）

【0 0 0 4】

**【発明が解決しようとする課題】**

ところで、上記従来の半導体装置では、絶縁膜のほぼ平坦な上面に再配線が設けられているので、使用環境中の水分が封止膜に浸透すると、プラス電圧が印加されている再配線あるいは柱状電極から溶け出した銅イオンが絶縁膜と封止膜との界面を移動してマイナス電圧が印加されている再配線あるいは柱状電極に析出し、いわゆるイオンマイグレーションによるショートが発生することがあるという問題があった。

そこで、この発明は、いわゆるイオンマイグレーションによるショートが発生しにくいようにすることができる半導体装置およびその製造方法を提供することを目的とする。

**【0 0 0 5】****【課題を解決するための手段】**

請求項 1 に記載の発明は、上面に接続パッドが設けられた半導体基板上に絶縁膜を介して再配線が前記接続パッドに接続されて設けられた半導体装置において、前記再配線は前記絶縁膜の上面に設けられた凹部内に設けられていることを特徴とするものである。

請求項 2 に記載の発明は、請求項 1 に記載の発明において、前記再配線の接続パッド部上に柱状電極が設けられ、前記再配線を含む前記絶縁膜の上面の前記柱状電極間に封止膜が設けられていることを特徴とするものである。

請求項 3 に記載の発明は、請求項 1 に記載の発明において、前記再配線は前記接続パッド上に設けられた接続パッド部からなり、該接続パッド部上に柱状電極が設けられ、前記絶縁膜の上面の前記柱状電極間に封止膜が設けられていることを特徴とするものである。

請求項 4 に記載の発明は、請求項 1 に記載の発明において、前記再配線は前記凹部の底面のみに設けられていることを特徴とするものである。

請求項 5 に記載の発明は、請求項 1 に記載の発明において、前記絶縁膜は有機樹脂からなることを特徴とするものである。

請求項 6 に記載の発明は、請求項 1 に記載の発明において、前記凹部の深さは前記再配線の厚さとはほぼ同じかそれよりも深く形成されていることを特徴とする

ものである。

請求項 7 に記載の発明は、請求項 6 に記載の発明において、前記絶縁膜の厚さは  $10 \sim 30 \mu\text{m}$  程度であることを特徴とするものである。

請求項 8 に記載の発明は、請求項 7 に記載の発明において、前記凹部の深さは  $5 \sim 15 \mu\text{m}$  程度であることを特徴とするものである。

請求項 9 に記載の発明は、請求項 7 に記載の発明において、前記凹部の部分における前記絶縁膜の厚さは  $1 \mu\text{m}$  以上であることを特徴とするものである。

請求項 10 に記載の発明は、上面に接続パッドが設けられた半導体基板上に、前記接続パッドに対応する部分に開口部を有し、且つ、上面の再配線形成領域に凹部を有する絶縁膜を形成する工程と、前記絶縁膜の凹部内に再配線を前記開口部を介して前記接続パッドに接続させて形成する工程とを有することを特徴とするものである。

請求項 11 に記載の発明は、請求項 10 に記載の発明において、前記再配線を前記凹部の底面のみに形成することを特徴とするものである。

請求項 12 に記載の発明は、請求項 10 に記載の発明において、前記凹部の深さを形成すべき再配線の厚さとほぼ同じかそれより深く形成することを特徴とするものである。

請求項 13 に記載の発明は、請求項 10 に記載の発明において、前記再配線の接続パッド部上に柱状電極を形成する工程と、前記再配線を含む前記絶縁膜の上面の前記柱状電極間に封止膜を形成する工程とを有することを特徴とするものである。

請求項 14 に記載の発明は、請求項 13 に記載の発明において、前記柱状電極の上面に半田ボールを形成する工程を有することを特徴とするものである。

そして、この発明によれば、絶縁膜の上面に設けられた凹部内に再配線を設けているので、再配線間に絶縁膜が存在することとなり、これによりいわゆるイオンマイグレーションによるショートが発生しにくいようにすることができる。

## 【0006】

### 【発明の実施の形態】

図 1 はこの発明の第 1 実施形態としての半導体装置の断面図を示したものであ

る。この半導体装置はシリコン基板（半導体基板）1を備えている。シリコン基板1の上面中央部には集積回路（図示せず）が設けられ、上面周辺部にはアルミニウム系金属からなる複数の接続パッド2が集積回路に接続されて設けられている。接続パッド2の中央部を除くシリコン基板1の上面には酸化シリコンからなる絶縁膜3が設けられ、接続パッド2の中央部は絶縁膜3に設けられた開口部4を介して露出されている。

#### 【0007】

絶縁膜3の上面にはポリイミド等の有機樹脂からなる保護膜（絶縁膜）5が設けられている。保護膜5の絶縁膜3の開口部4に対応する部分には開口部6が設けられている。保護膜5の上面の再配線形成領域には凹部7が設けられている。凹部7は開口部6に連通されている。

#### 【0008】

両開口部4、6を介して露出された接続パッド2の上面から保護膜5の凹部7内の上面の所定の箇所に掛けて下地金属層8aおよび該下地金属層8a上に設けられた上層金属層8bからなる再配線8が設けられている。この場合、下地金属層8aは、詳細には図示していないが、下から順に、チタン層と銅層との2層構造となっている。上層金属層8bは銅層のみからなっている。また、凹部7の深さは再配線8の厚さよりも深くなっている。さらに、再配線8と凹部7の内壁面との間には若干の隙間9が設けられている。

#### 【0009】

再配線8の接続パッド部上面には銅からなる柱状電極10が設けられている。再配線8を含む保護膜5の上面にはエポキシ系樹脂等の有機樹脂からなる封止膜11がその上面が柱状電極10の上面と面一となるように設けられている。したがって、柱状電極10の上面は露出されている。柱状電極10の上面には半田ボール12が設けられている。

#### 【0010】

次に、この半導体装置の製造方法の一例について説明する。まず、図2に示すように、ウエハ状態のシリコン基板1の上面にアルミニウム系金属からなる接続パッド2が形成され、その上面の接続パッド2の中央部を除く部分に酸化シリコ



ンからなる絶縁膜 3 が形成され、接続パッド 2 の中央部が絶縁膜 3 に形成された開口部 4 を介して露出されたものを用意する。

#### 【0011】

次に、開口部 4 を介して露出された接続パッド 2 の上面を含む絶縁膜 3 の上面全体に有機樹脂からなる保護膜 5 を塗布法により形成する。次に、保護膜 5 の上面において凹部 7（つまり再配線 8）形成領域以外の領域にレジスト膜 21 を形成する。次に、レジスト膜 21 をマスクとして保護膜 5 をハーフエッチングすると、図 3 に示すように、レジスト膜 21 下以外の領域における保護膜 21 の上面に凹部 7 が形成される。次に、レジスト膜 21 を剥離する。

#### 【0012】

次に、図 4 に示すように、保護膜 5 の上面にレジスト膜 22 をパターン形成する。この場合、絶縁膜 3 の開口部 4 に対応する部分におけるレジスト膜 22 には開口部 23 が形成されている。次に、レジスト膜 22 をマスクとして保護膜 5 をエッチングすると、図 5 に示すように、レジスト膜 22 の開口部 23 に対応する部分つまり絶縁膜 3 の開口部 4 に対応する部分における保護膜 5 に開口部 6 が形成される。次に、レジスト膜 22 を剥離する。

#### 【0013】

次に、図 6 に示すように、両開口部 4、6 を介して露出された接続パッド 2 の上面を含む保護膜 5 の上面全体に下地金属層 8a を形成する。この場合、下地金属層 8a は、詳細には図示していないが、スパッタにより形成されたチタン層上にスパッタにより銅層を形成したものである。なお、下地金属層 8a は、無電解メッキにより形成された銅層のみであってもよい。

#### 【0014】

次に、下地金属層 8a の上面にメッキレジスト膜 24 をパターン形成する。この場合、再配線 8 形成領域に対応する部分におけるメッキレジスト膜 24 には開口部 25 が形成されている。また、保護膜 5 の凹部 7 の内壁面に形成された下地金属層 8a はメッキレジスト膜 24 によって覆われている。次に、下地金属層 8a をメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜 24 の開口部 25 内の下地金属層 8a の上面に上層金属層 8b を形成する。次に、

メッキレジスト膜 24 を剥離する。

#### 【0015】

次に、図 7 に示すように、上層金属層 8b を含む下地金属層 8a の上面にメッキレジスト膜 27 をパターン形成する。この場合、上層金属層 8b の接続パッド部に対応する部分におけるメッキレジスト膜 27 には開口部 28 が形成されている。また、上層金属層 8b の周囲において保護膜 5 の凹部 7 の内壁面に形成された下地金属層 8a はメッキレジスト膜 27 によって覆われている。次に、下地金属層 8a をメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜 27 の開口部 28 内の上層金属層 8b の接続パッド部上面に柱状電極 10 を形成する。

#### 【0016】

次に、メッキレジスト膜 27 を剥離し、次いで、柱状電極 10 および上層金属層 8b をマスクとして下地金属層 8a の不要な部分をエッチングして除去すると、図 8 に示すように、上層金属層 8b 下にのみ下地金属層 8a が残存され、この残存された下地金属層 8a およびその上面全体に形成された上層金属層 8b により再配線 8 が形成される。また、再配線 8 と凹部 7 の内壁面との間には若干の隙間 9 が形成される。

#### 【0017】

この隙間 9 は、メッキレジスト膜 27 を印刷する際の位置ずれ量であり、通常、数  $\mu\text{m}$  あるいはそれ以下となる。また、上記において、下地金属層 8a は、後述する如く、上層金属層 8b に比し遙かに薄いので、表面全体にエッチング液を短時間噴射すれば、下地金属層 8a の柱状電極 10 および上層金属層 8b から露出した部分のみが除去されるのである。

#### 【0018】

次に、図 9 に示すように、柱状電極 10 および再配線 8 を含む保護膜 5 の上面に有機樹脂からなる封止膜 11 をその厚さが柱状電極 10 の高さよりもやや厚くなるように形成する。この状態では、隙間 7 を含む凹部 7 内にも封止膜 11 が形成されている。また、柱状電極 10 の上面は封止膜 11 によって覆われている。

#### 【0019】

次に、封止膜 11 および柱状電極 10 の上面側を適宜に研磨することにより、図 10 に示すように、柱状電極 10 の上面を露出させる。次に、図 11 に示すように、柱状電極 10 の上面に半田ボール 12 を形成する。次に、ダイシング工程を経ると、図 1 に示す半導体装置が複数個得られる。

#### 【0020】

このようにして得られた半導体装置では、保護膜 5 の上面に設けられた凹部 7 内に再配線 8 を設け、凹部 7 の深さを再配線 8 の厚さよりも深くしているので、柱状電極 10 の下部を含む再配線 8 間に再配線 8 の上面よりも高い保護膜 5 が存在することとなり、これによりいわゆるイオンマイグレーションによるショートが発生しにくいようにすることができる。

#### 【0021】

ここで、寸法の一例について説明する。下地金属層 8a の厚さは 400～800 nm 程度である。上層金属層 8b の厚さは 1～10  $\mu$ m 程度である。保護膜 5 の厚さは 10～30  $\mu$ m 程度であり、凹部 7 の深さは 5～15  $\mu$ m 程度（ただし、再配線 8 の厚さよりも深い。）であり、凹部 7 の部分における保護膜 5 の厚さは 1  $\mu$ m 程度以上である。柱状電極 10 の高さは 80～150  $\mu$ m 程度である。

#### 【0022】

再配線 8 の幅等は、それぞれの半導体装置の端子数や引き回し等により所望の値に設定されるものであるが、一例をあげれば、再配線 8 の幅は 20～40  $\mu$ m 程度、開口部 4、6 の直径は再配線 8 の幅よりも大きく 30～60 程度である。また、再配線 8 の接続パッド部およびその上に設けられた柱状電極 10 の直径は、参考として 200～400  $\mu$ m 程度を、一例とする。また、再配線 8 間の間隔および再配線 8 とその近傍の別の再配線 8 の接続パッド部との間の間隔は 10  $\mu$ m 程度またはそれ以下にすることが可能である。

#### 【0023】

次に、保護膜 42 の他の形成方法について説明する。図 12 に示すように、絶縁膜 3 の上面に有機樹脂からなる第 1 の保護膜 5A を塗布し、フォトリソグラフィ法により開口部 6a を形成する。次に、第 1 の保護膜 5A の上面に、スクリーン印刷法により、開口部（つまり凹部）7a を有する有機樹脂からなる第 2 の保

護膜 5 B を形成する。なお、開口部 6 a を有する第 1 の保護膜 5 A をスクリーン印刷法により形成するようにしてもよい。

#### 【0024】

なお、上記実施形態では、図 1 に示すように、凹部 7 の深さを再配線 8 の厚さよりも深くした場合について説明したが、これに限ることなく、例えば図 13 に示すこの発明の第 2 実施形態のように、凹部 7 の深さを再配線 8 の厚さとほぼ同じとなるようにしてもよい。

#### 【0025】

また、上記実施形態では、図 1 に示すように、柱状電極 10 の配置位置を接続パッド 2 の配置位置と異ならせた場合について説明したが、これに限ることなく、例えば図 14 に示すこの発明の第 3 実施形態のように、接続パッド 2 上にそれよりも平面サイズが大きい接続パッド部のみからなる再配線 8 を設け、その上に、横断面サイズが接続パッド 2 の平面サイズよりも大きい柱状電極 10 を設けるようにしてもよい。

#### 【0026】

この場合、図 1 における再配線 8 は、図 15 においては柱状電極 10 のバリア層および接着層の機能を有する台座として形成されており、隣接の柱状電極 10 およびその台座とは、凹部 7 において隙間分離間しているので、イオンマイグレーションを防止することができる。

#### 【0027】

図 14 に示す実施形態の場合、上層金属層 8 b と柱状電極 10 が同じ材料であれば、図 15 に示すこの発明の第 4 実施形態のように、柱状電極 10 の台座を下地金属層 8 a のみとし、この下地金属層 8 a 上に直接柱状電極 10 を形成するようにしてもよい。

#### 【0028】

なお、図 14 および図 15 に示す実施形態と、図 1 の実施形態とを組み合わせ、一部の接続パッド 2 上には図 1 の如く再配線 8 を延出してこの延出部上に柱状電極 10 を形成し、残りの接続パッド 2 上には、図 14 および図 15 に示すように当該接続パッド 2 上のみに再配線（台座）を形成し、この再配線上に柱状電極

1 0 を形成するようにしてもよい。

【 0 0 2 9 】

【発明の効果】

以上説明したように、この発明によれば、絶縁膜の上面に設けられた凹部内に再配線を設けているので、再配線間に絶縁膜が存在することとなり、これによりいわゆるイオンマイグレーションによるショートが発生しにくいようにすることができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 実施形態としての半導体装置の断面図。

【図 2】

図 1 に示す半導体装置の製造に際し、当初の製造工程の断面図。

【図 3】

図 2 に続く製造工程の断面図。

【図 4】

図 3 に続く製造工程の断面図。

【図 5】

図 4 に続く製造工程の断面図。

【図 6】

図 5 に続く製造工程の断面図。

【図 7】

図 6 に続く製造工程の断面図。

【図 8】

図 7 に続く製造工程の断面図。

【図 9】

図 8 に続く製造工程の断面図。

【図 1 0】

図 9 に続く製造工程の断面図。

【図 1 1】

図 10 に続く製造工程の断面図。

【図 12】

保護膜の他の形成方法を説明するために示す断面図。

【図 13】

この発明の第 2 実施形態としての半導体装置の断面図。

【図 14】

この発明の第 3 実施形態としての半導体装置の断面図。

【図 15】

この発明の第 4 実施形態としての半導体装置の断面図。

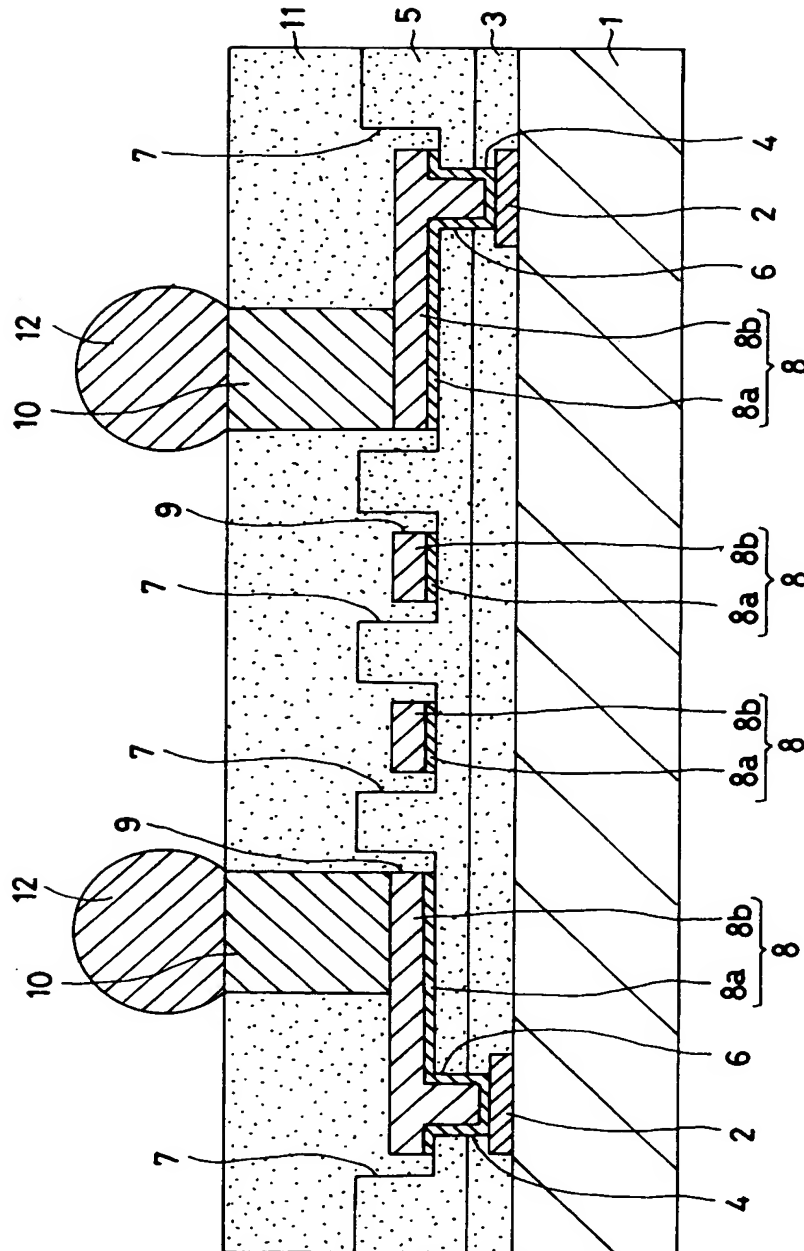
【符号の説明】

- 1 シリコン基板
- 2 接続パッド
- 3 絶縁膜
- 4 開口部
- 5 保護膜
- 6 開口部
- 7 凹部
- 8 再配線
- 8 a 下地金属層
- 8 b 上層金属層
- 9 隙間
- 10 柱状電極
- 11 封止膜
- 12 半田ボール

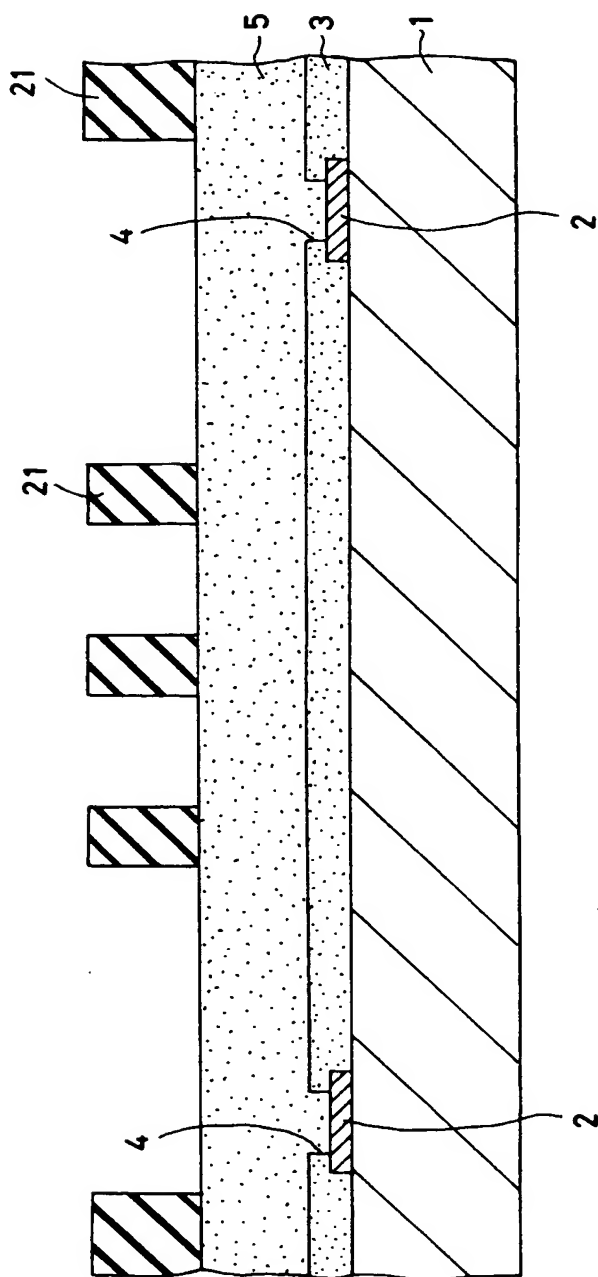
【書類名】

図面

【図 1】

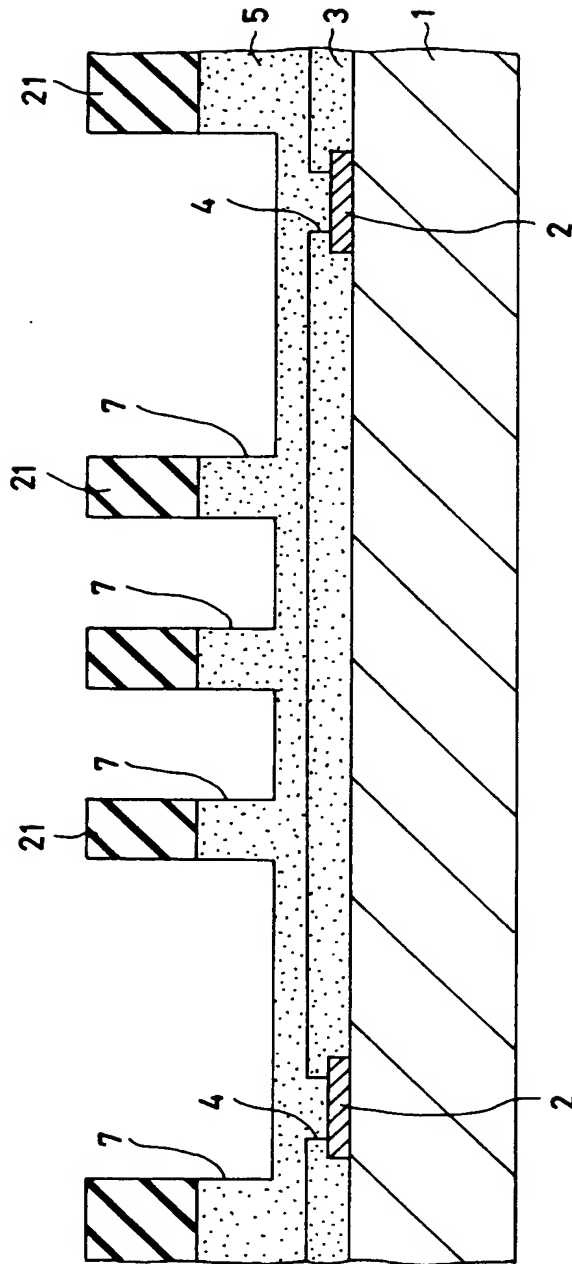


【図 2】

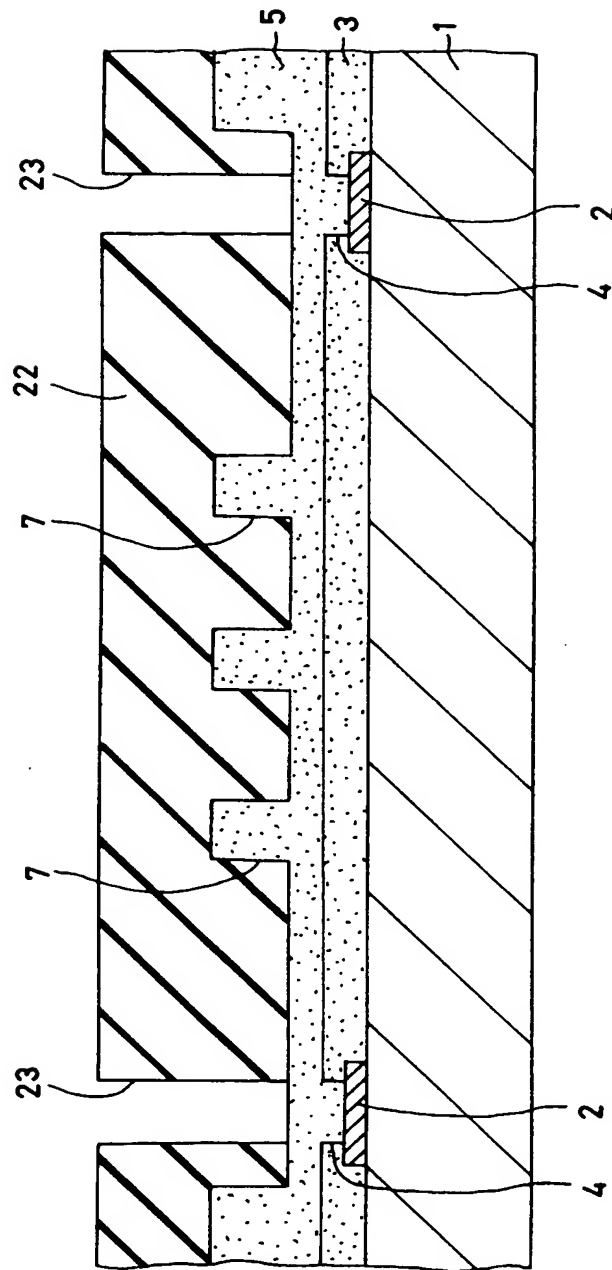




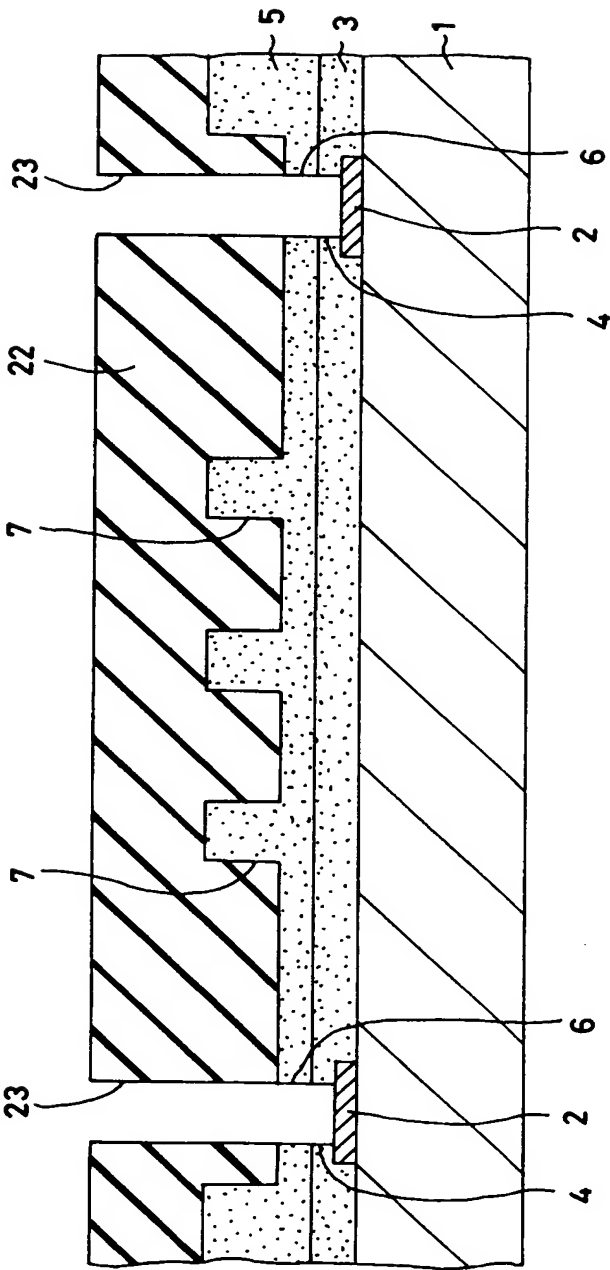
【図 3】



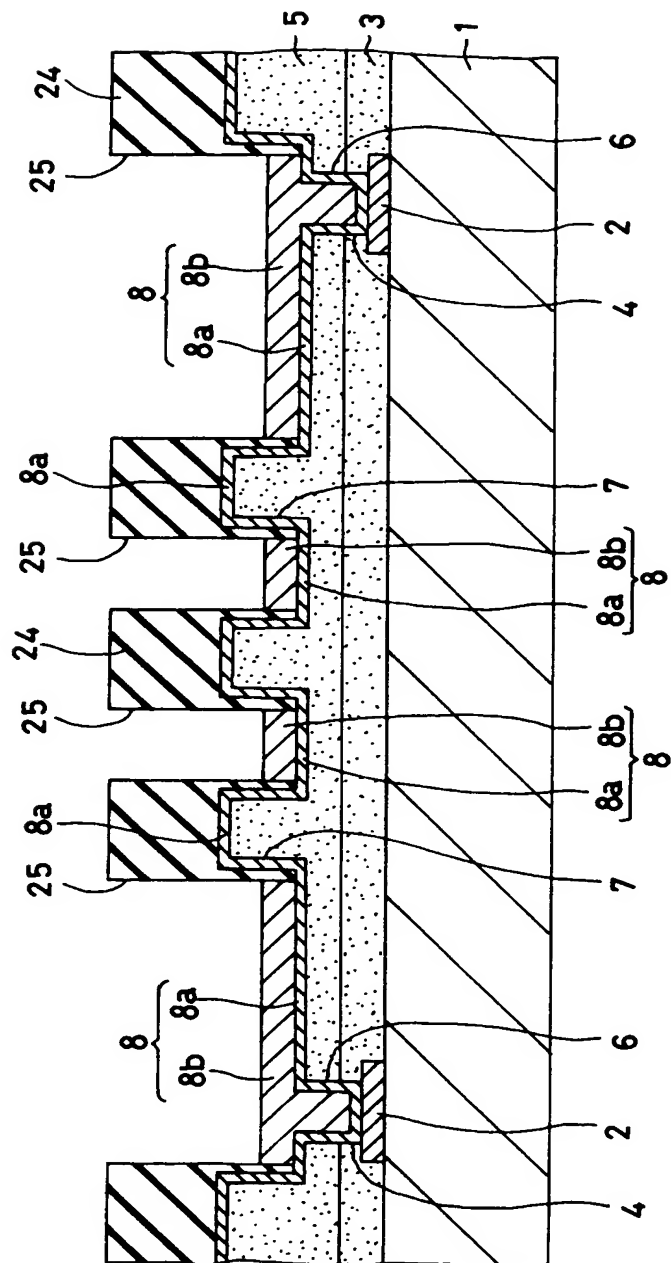
【図 4】



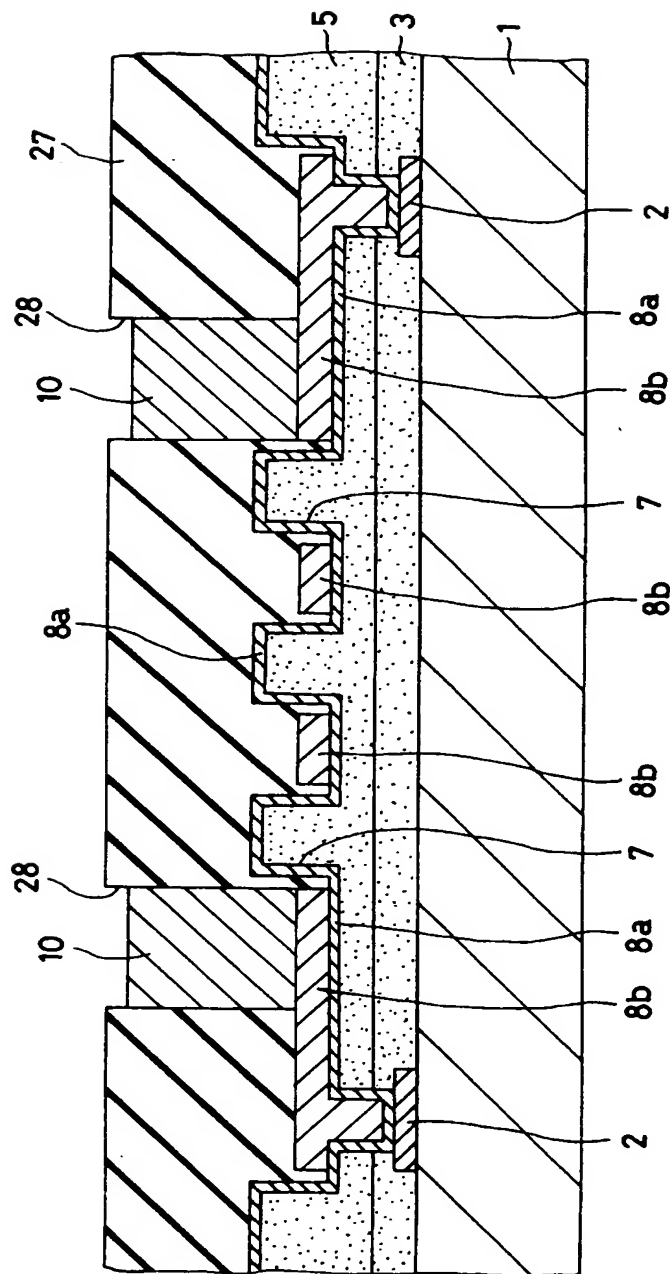
【図 5】



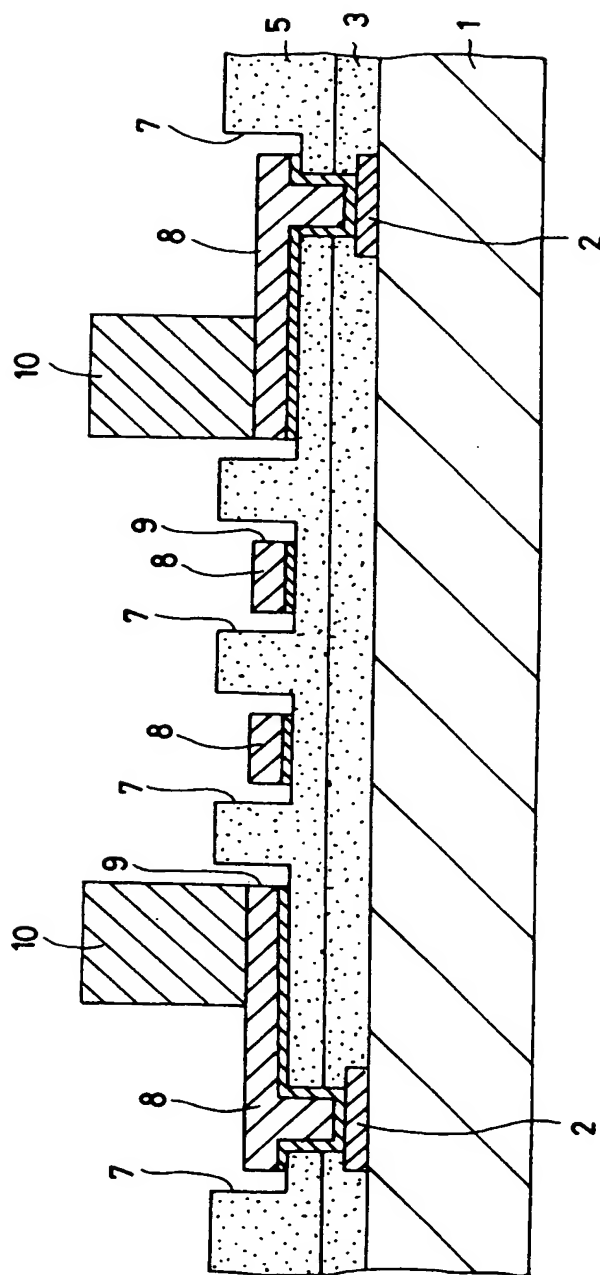
【図 6】



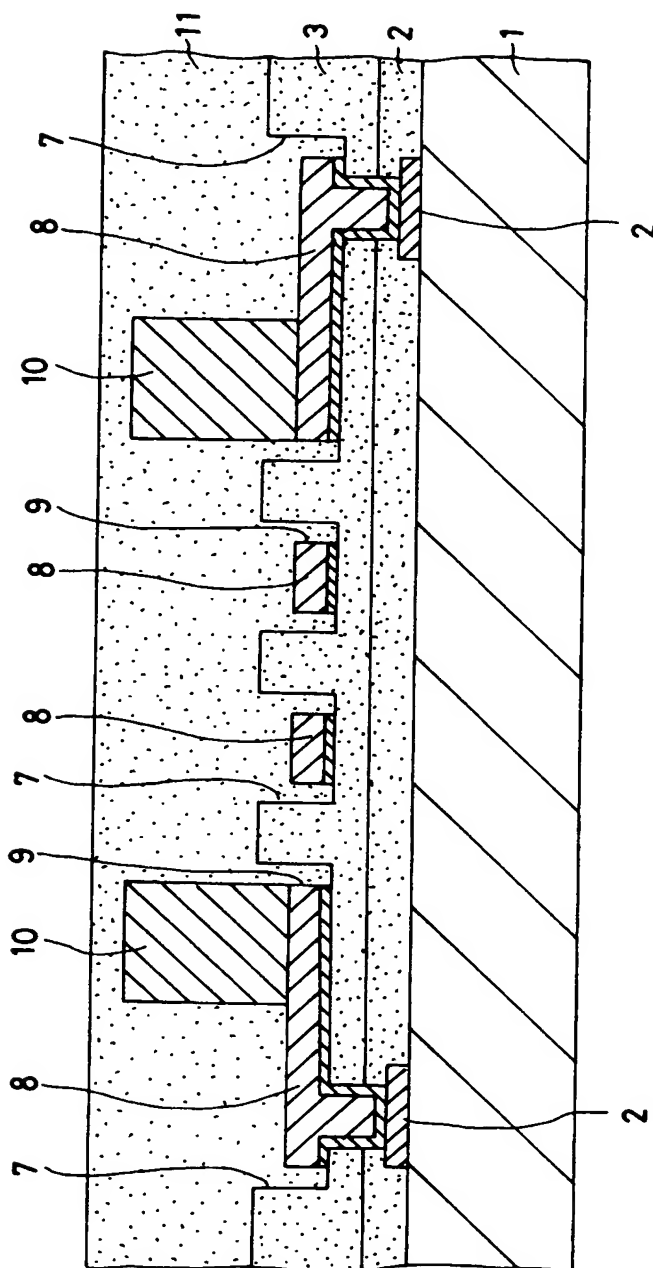
【図 7】



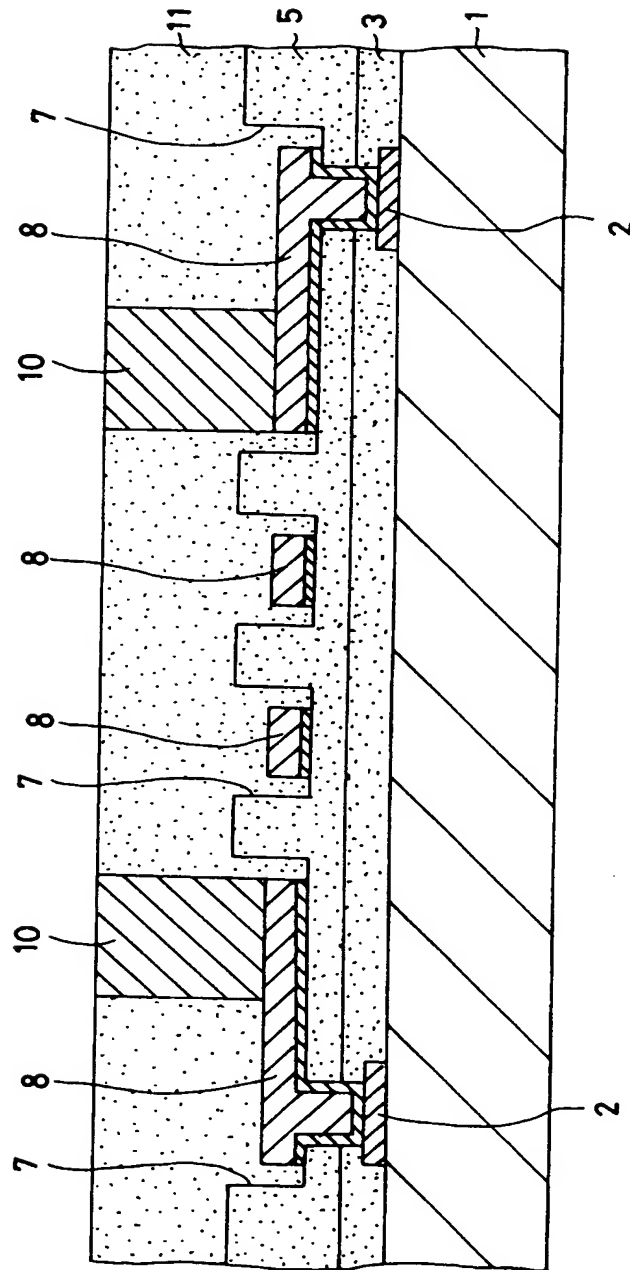
【図 8】



【図 9】

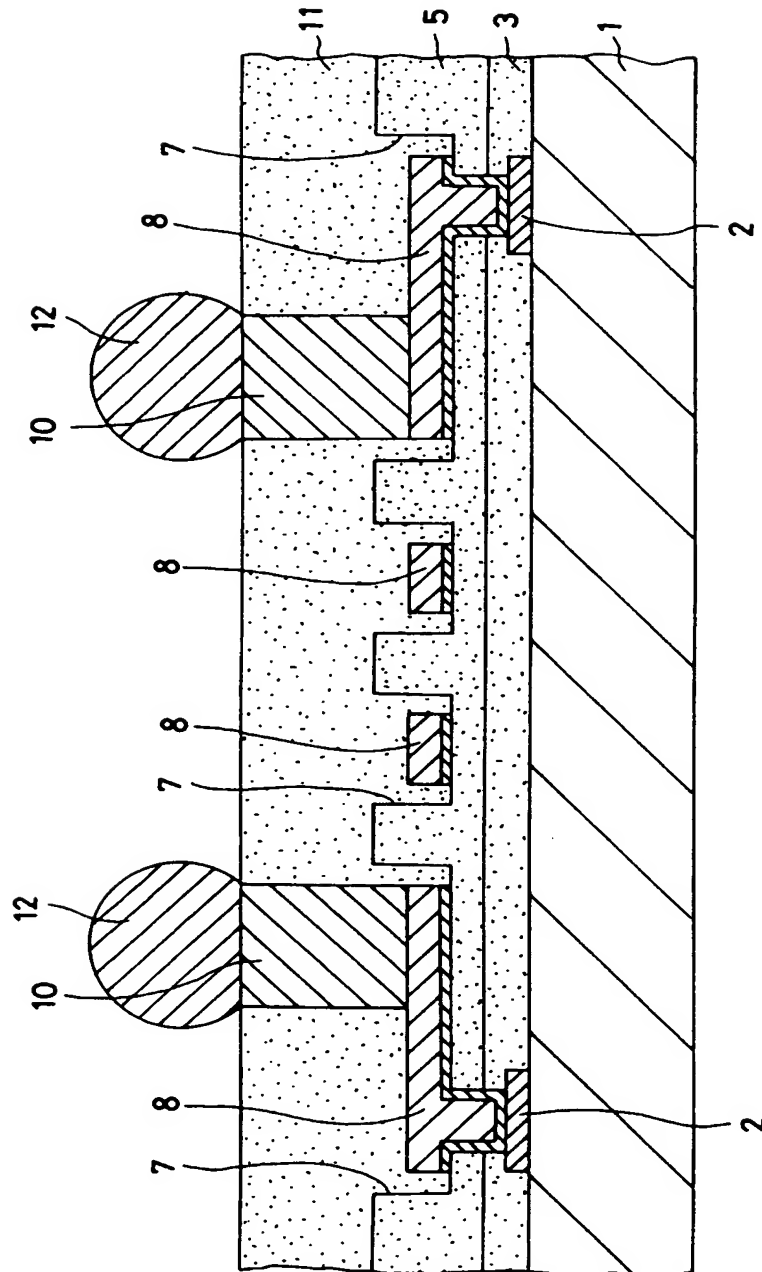


【図 10】

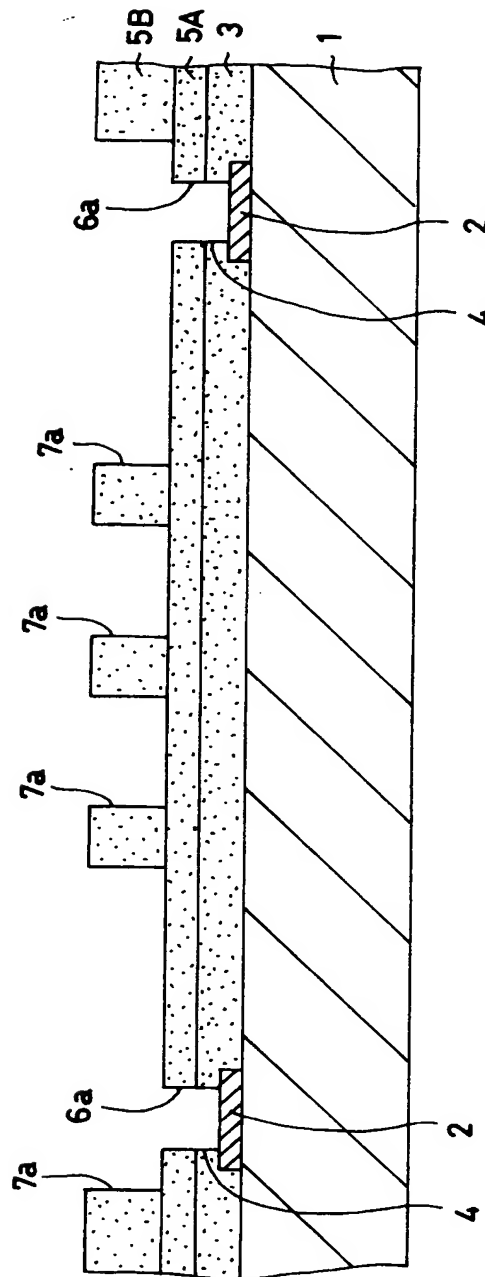




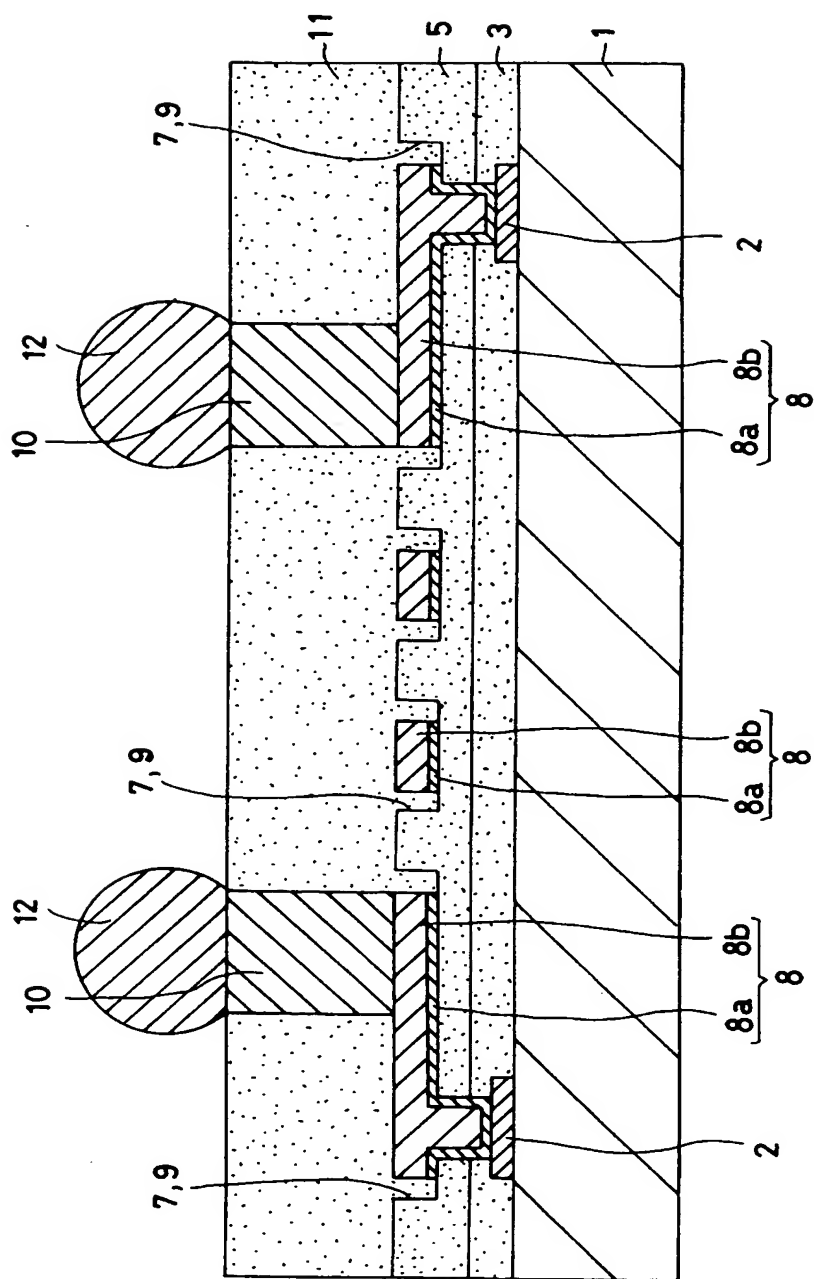
【図 11】



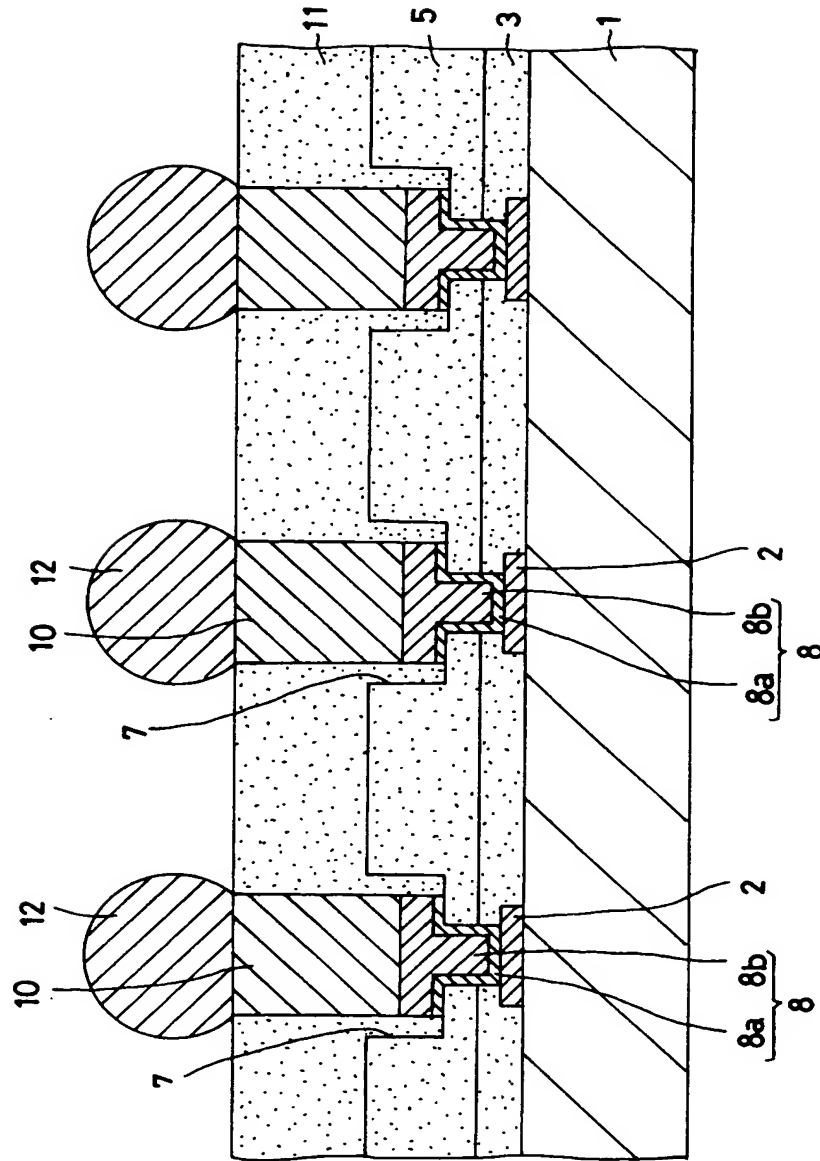
【図 12】



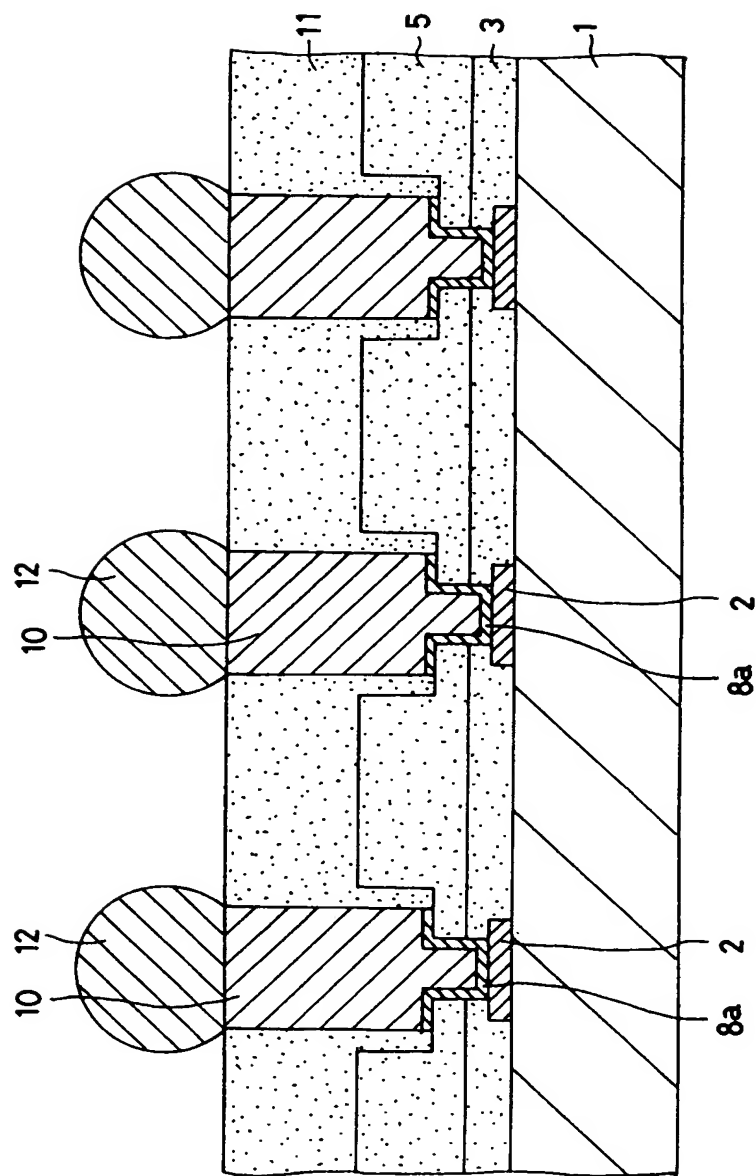
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 C S P と呼ばれる半導体装置において、いわゆるイオンマイグレーションによるショートが発生しにくいようにする。

【解決手段】 酸化シリコンからなる絶縁膜 3 の上面にはポリイミドからなる保護膜 5 が設けられている。保護膜 5 の上面に設けられた凹部 7 内には銅からなる再配線 8 が設けられている。この場合、凹部 7 の深さは再配線 8 の厚さよりも深くなっている。再配線 8 の接続パッド部上面には銅からなる柱状電極 1 0 が設けられている。再配線 8 を含む保護膜 5 の上面にはエポキシ系樹脂からなる封止膜 1 1 が設けられている。柱状電極 1 0 の上面には半田ボール 1 2 が設けられている。そして、柱状電極 1 0 の下部を含む再配線 8 間に再配線 8 の上面よりも高い保護膜 5 が存在することにより、いわゆるイオンマイグレーションによるショートが発生しにくいようにすることができる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 2 4 9 7 3
受付番号	5 0 2 0 1 6 8 9 0 0 9
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 1 月 2 2 日

< 認定情報・付加情報 >

【提出日】 平成14年11月 8日

次頁無

特願 2 0 0 2 - 3 2 4 9 7 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 4 4 3 ]

1. 変更年月日

1 9 9 8 年 1 月 9 日

[変更理由]

住所変更

住 所

東京都渋谷区本町1丁目6番2号

氏 名

カシオ計算機株式会社